

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-057800

(43)Date of publication of application : 25.02.2000

(51)Int.Cl.

G11C 29/00
G01R 31/28
G11C 11/413
G11C 16/06
H01L 27/04
H01L 21/822

(21)Application number : 10-231267

(71)Applicant : ROHM CO LTD

(22)Date of filing : 18.08.1998

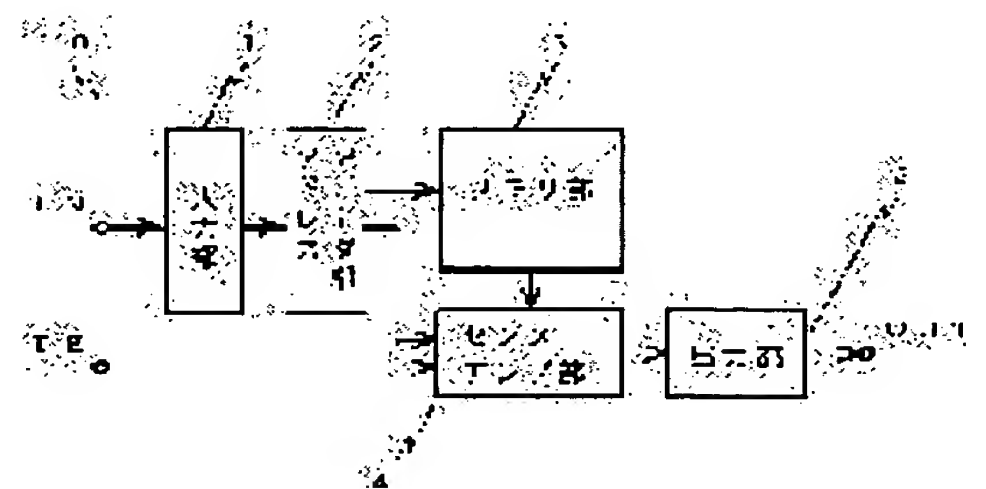
(72)Inventor : FUCHIGAMI TAKAAKI

(54) SEMICONDUCTOR INTEGRATED CIRCUIT APPARATUS

(57)Abstract:

PROBLEM TO BE SOLVED: To easily confirm the presence/absence of a problem that data is judged incorrectly without actually testing a semiconductor integrated circuit apparatus having a memory part with setting a source voltage, a temperature or the like condition.

SOLUTION: In the semiconductor integrated circuit apparatus which has a memory part 3 having many memory cells for storing data in each memory cell, a decoder part 2 for selecting one memory cell according to an address signal, and a sense amplifier part 4 for amplifying and reading out data stored in the designated memory cell, a judgment voltage-changing means for changing setting of a data judgment voltage is arranged to the sense amplifier part. In a test operation, the judgment voltage-changing means is driven in accordance with a test signal, thereby changing to make a judgment margin smaller than in a normal operation.



LEGAL STATUS

[Date of request for examination]

16.12.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(12) 公開特許 (A)

(11) 特許出願公開番号

(54) 【発明の名称】 半導体集積回路装置

特開2000-57800

(P2000-57800A)

(全5頁) (3)

審査請求 未請求 請求項の数 1

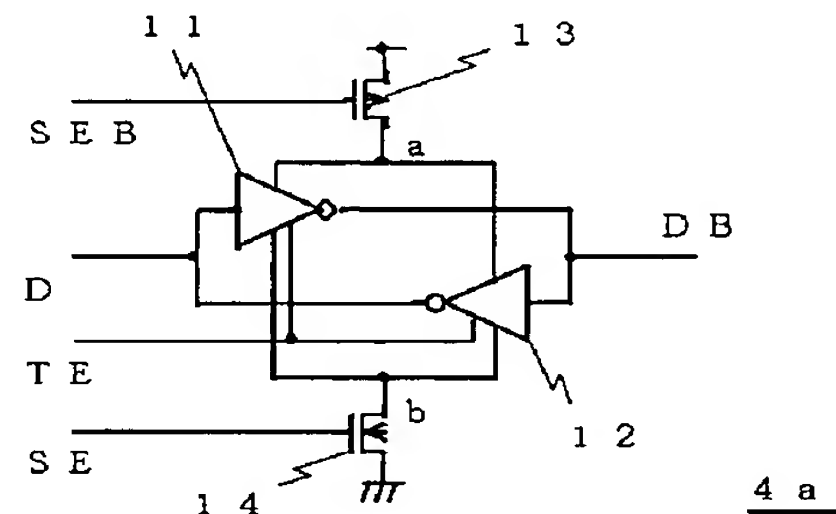
(43) 公開日 平成12年 2月25日 (2000. 2. 25)

(71) 出願人	ローム株式会社 京都府京都市右京区西院溝崎町 2 1 番地	(51) Int. Cl. ⁷	識別記号
(72) 発明者	淵上 貴昭	G11C 29/00	671
		G01R 31/28	
		G11C 11/413	
		16/06	
(21) 出願番号	特願平10-231267	H01L 27/04	※
(22) 出願日	平成10年 8月18日 (1998. 8. 18)	FI	
		G11C 29/00	671 M
		G01R 31/28	V
			B
		G11C 11/34	341 D
		17/00	634 C ※
		※最終頁に続く	

(57) 【要約】

【課題】 メモリ部を有する半導体集積回路装置のテストにおいて、電源電圧や温度等の条件をそれぞれ設定する実際のテストを行わないでも、データが誤判定されてしまうという問題の有無を容易に確認できるようにする。

【解決手段】 多数のメモリセルを有して各メモリセルにデータを記憶するメモリ部 (3) と、アドレス信号に応じてメモリセルの一つを選択するデコーダ部 (2) と、指定されたメモリセルに記憶されたデータを増幅して読み出すセンスアンプ部 (4) と、を有する半導体集積回路装置において、センスアンプ部にデータの判定電圧の設定を変更する判定電圧変更手段を設け、テスト動作時に、テスト信号に応じて判定電圧変更手段を作動させることにより通常動作時よりも判定マージンが少なくなるように変更するようにする。



【産業上の利用分野】 本発明は半導体集積回路装置に関し、詳しくは内部に設けられたメモリ部のテストを容易に行えるようにした半導体集積回路装置の構成に関する。

【特許請求の範囲】

【請求項 1】 多数のメモリセルを有して各メモリセルにデータを記憶するメモリ部と、アドレス信号に応じて前記メモリセルの一つを選択するデコーダ部と、指定された前記メモリセルに記憶されたデータを増幅して読み出すセンスアンプ部と、を有する半導体集積回路装置に

おいて、前記センスアンプ部に前記データの判定電圧の設定を変更する判定電圧変更手段を設け、テスト動作時に、テスト信号に応じて前記判定電圧変更手段を作動させることにより通常動作時よりも判定マージンが少なくなるように変更することを特徴とする半導体集積回路装置。

【図面の簡単な説明】

【図 1】 本発明の実施形態である半導体メモリ装置を

1

2

示す構成図、

【図2】 センスアンプ回路の具体例を示す構成図、

【図3】 スレッシュホールド可変可能なインバータ回路の具体例を示す回路図、

【図4】 半導体メモリ装置の一般例を示す構成図、

【図5】 従来のセンスアンプ回路を示す説明図、

【図6】 従来のセンスアンプ回路の動作タイミングを示す説明図である。

【符号の説明】

10 : 半導体メモリ装置

2 : アドレスデコーダ部

3 : メモリ部

4、4a : センスアンプ部

11、12 : (スレッシュホールド可変) インバータ回路

13 : PMOS (トランジスタ)

14 : NMOS (トランジスタ)

D、DB : データ信号

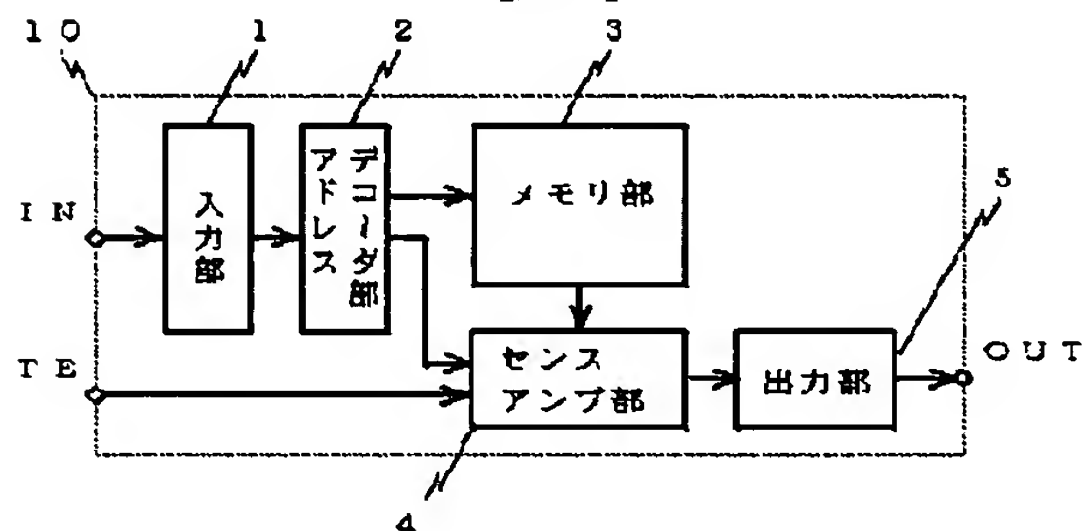
SE、SEB : 選択信号

TE : テスト信号 (テスト入力)

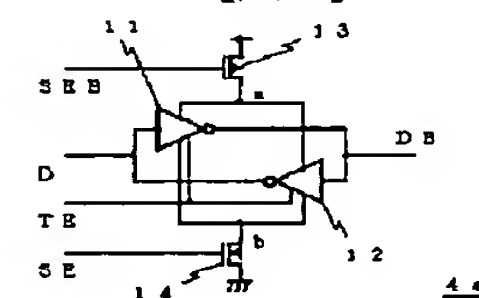
IN : アドレス入力

10 OUT : データ出力

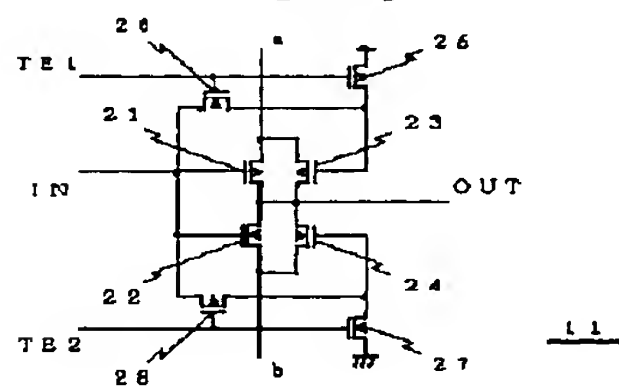
【図1】



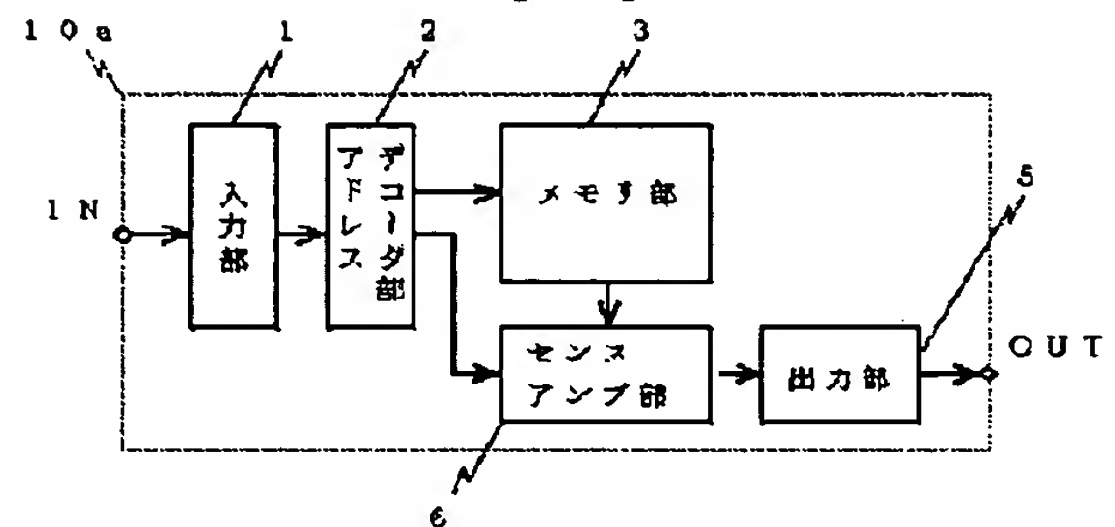
【図2】



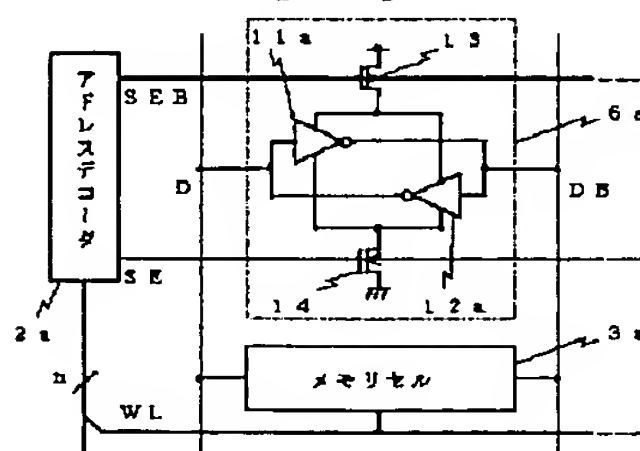
【図3】



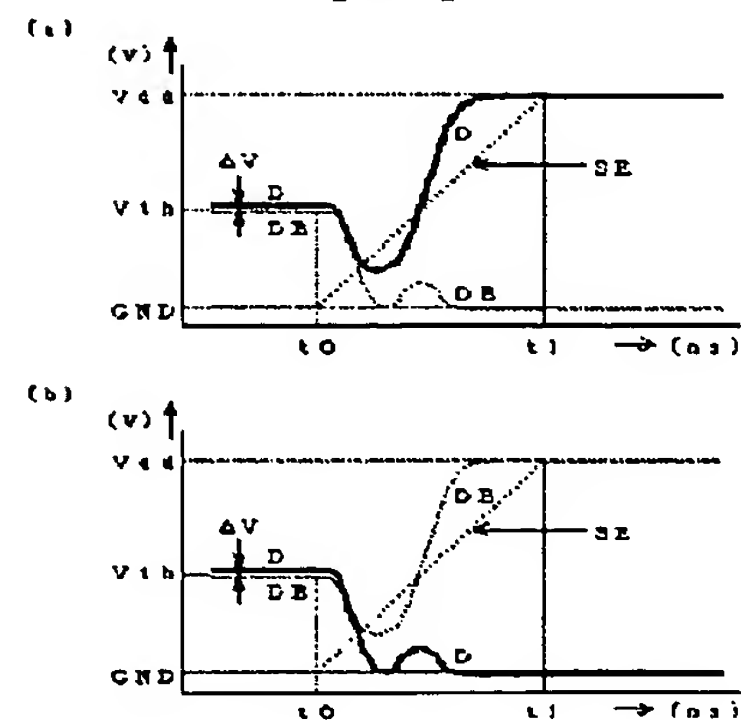
【図4】



【図5】



【図6】



【第1ページ書誌事項の続き】

(51) Int. Cl. ⁷	識別記号	FI	テーマコード (参考)
H01L 21/822		H01L 27/04	T